

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098663  
 (43)Date of publication of application : 14.04.1998

(51)Int.CI.

H04N 5/66  
G09G 3/28

(21)Application number : 08-249635  
 (22)Date of filing : 20.09.1996

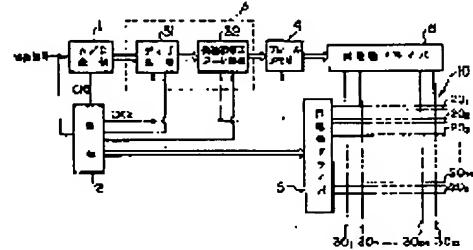
(71)Applicant : PIONEER ELECTRON CORP  
 (72)Inventor : SHIGETA TETSUYA

## (54) DRIVING DEVICE FOR SELF-LIGHT EMITTING DISPLAY UNIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To execute pseudo halftone display and pseudo outline correction while high picture quality is maintained by changing a dither coefficient which is to be added in a dither processing against picture element data at every field, and executing pseudo outline correction data conversion corresponding to a dither coefficient added in the dither processing in pseudo outline correction data conversion.

SOLUTION: An A/D converter 1 samples an inputted video signal and supplies picture element data corresponding to every picture element to a picture data processing circuit 3. The picture data processing circuit 3 is constituted of a dither processing circuit 31 and a pseudo outline correction data conversion circuit 32. It processes picture element data, reduces the number of the bits of picture element data, realizes pseudo halftone display, generates picture element data compensating the pseudo outline and supplies it to a frame memory 4. The memory 4 sequentially writes picture element data outputted from the processing circuit 3, reads them in accordance with timing and supplies them to a column electrode driver 6 as picture element driving data.



## LEGAL STATUS

[Date of request for examination] 17.12.2001  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3618024  
 [Date of registration] 19.11.2004  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(51) Int.Cl.<sup>6</sup>H 04 N 5/66  
G 09 G 3/28

識別記号

101

F I

H 04 N 5/66  
G 09 G 3/28101 B  
K

## 【特許請求の範囲】

【請求項1】 映像信号をサンプリングして自発光表示器の各画素に対応した画素データに変換するA/D変換器と、

前記自発光表示器の画面上において隣接する複数の画素各々に対応した前記画素データに夫々異なるディザ係数を加算して得られたディザ加算画素データ各々の上位ビットをディザ処理画素データとして得るディザ処理回路と、

前記ディザ処理画素データを第1変換テーブル又は第2変換テーブルに基づいて変換して偽輪郭補正画素データを得る偽輪郭補正データ変換回路と、

前記偽輪郭補正画素データに基づいて前記自発光表示器における各画素の発光駆動を行う駆動手段とを有し、

前記ディザ処理回路は、各画素に対応する前記画素データに加算すべき前記ディザ係数を前記映像信号のフィールド毎に変更することを特徴とする自発光表示器の駆動装置。

【請求項2】 前記偽輪郭補正データ変換回路は、前記ディザ処理回路にて加算されたディザ係数に応じて前記第1変換テーブル又は第2変換テーブルの内的一方を選択してこの選択した変換テーブルに基づいて前記ディザ処理画素データの変換を行うことを特徴とする請求項1記載の自発光表示器の駆動装置。

【請求項3】 前記駆動手段は、1フレームを前記画素駆動データの各ビット桁に対応した発光期間を有する複数のサブフレームに分割し更に重み付けの重いビット桁に対応するサブフレームを複数のサブフレームに分割して配置し、前記画素駆動データに応じたサブフレームにおいてのみ前記自発光表示器の画素を発光せしめるものであり、

前記第1及び第2変換テーブル各々は、発光期間が等しいサブフレームでの発光実施位置が互いに異なる位置となるように前記偽輪郭補正画素データのビットパターンを変換する変換パターンであることを特徴とする請求項1及び2記載の自発光表示器の駆動装置。

【請求項4】 前記ディザ処理回路は、前記自発光表示器の画面上において隣接する4つの画素各々に対応した4つの画素データ各々に第1ディザ係数、第2ディザ係数、第3ディザ係数、及び第4ディザ係数を夫々加算するものであり、

前記映像信号のフィールド毎に前記4つの画素データ各々に加算すべき前記第1ディザ係数、第2ディザ係数、第3ディザ係数、及び第4ディザ係数の組み合わせを変更して行くことを特徴とする請求項1記載の自発光表示器の駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、自発光表示器の駆動装置に関する。

## 【0002】

【従来の技術】 自発光画像表示器としてのプラズマディスプレイパネルを階調表示させる方法として、1フレーム(フィールド)の表示期間を、Nビット表示データの各ビット桁の重み付けに対応した時間だけ発光するN個のサブフレーム(サブフィールド)に分割して表示する方法(いわゆるサブフィールド法)が知られている。

【0003】 例えば、画素データが8ビットの場合には、1フレームの表示期間を重み付けの重い順に、SF8、SF7、SF6・・・、SF1なる8個のサブフレームに分割する。この際、各サブフレームSF8～SF1では、順に、128パルス、64パルス、32パルス、16パルス、8パルス、4パルス、2パルス、1パルスの発光が行われる。これら8個のサブフレームによる発光により256階調の表示が為されるのである。

【0004】 しかしながら、かかる階調表示方法では、サブフレームSF8～SF1の表示順番が固定であるため、例えば、平坦な映像でその階調レベルが128、64等の如き2のn乗境界を横切る付近で、あたかも階調が失われた映像のような縞状の偽輪郭が視認され、表示品質を著しく損ねてしまうという問題がある。そこで、例えば、特開平7-271325号公報において、重み付けの重いサブフレームを複数個に等分割して分離して配置し、発光時間(発光回数)が等しいサブフレームの発光順が異なる複数の発光パターンを用意しておき、画素毎にその発光パターンを変更すること(偽輪郭補正データ変換)により、偽輪郭を低減するようにした階調表示方法が提案されている。

【0005】 ところが、かかる階調表示方法では、結果として1フレーム期間内のサブフレームの数が増加してしまう。又、画質を向上させるべく画素データのビット数を増やすと、1フレーム期間内のサブフレームの数は更に増加してしまう。このように、1フレーム期間内のサブフレームの数が増加すると、プラズマディスプレイパネルを点灯発光させる為のアドレス期間が増大し、それ故に、発光期間としてのサスティン期間が相対的に短くなつて最大輝度の低下を招く。

【0006】 そこで、画素データのビット数(サブフレーム数)を減らして疑似中間表示を行うディザ処理を実施する。かかるディザ処理では、隣接する複数個の画素により1つの中間表示レベルを表現する。例えば、8ビットの画素データの内の上位6ビットの画素データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる4つのディザ係数を夫々割り当てて加算する。

【0007】 図1は、かかるディザ処理により画素データに加算されるディザ係数a～dと、各画素との対応関係を示す図である。例えば、第1行第1列の画素に対応した画素データにはディザ係数aが加算され、第1行第

2列の画素に対応した画素データにはディザ係数bが加算される。又、第2行第1列の画素に対応した画素データにはディザ係数cが加算され、第2行第2列の画素に対応した画素データにはディザ係数dが加算されるのである。

【0008】これらディザ係数a～dなるディザパターンが、図1の破線にて示されるが如く、左右、上下に互いに隣接する4つの画素を1組とした画素データ毎に加算される。次に、このディザ係数が加算された画素データ各々の上位6ビットを抽出し、これを表示パネルの駆動信号として用いる。

【0009】かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生し、6ビット階調表示レベルの4倍、すなわち、8ビット相当の中間調表示を実現出来るのである。しかしながら、かかる図1の破線に示されるように、ディザ係数a～dなるディザパターンが各画素に対応して常時加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なうという問題が発生した。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は、高画像品質を維持しつつ、疑似中間調表示及び偽輪郭補正を実施することが出来る自発光表示器の駆動装置を提供することにある。

【0011】

【課題を解決するための手段】上記した目的を達成するために、本発明による自発光表示器の駆動装置は、映像信号をサンプリングして自発光表示器の各画素に対応した画素データに変換するA/D変換器と、前記自発光表示器の画面上において隣接する複数の画素各々に対応した前記画素データに夫々異なるディザ係数を加算して得られたディザ加算画素データ各々の上位ビットをディザ処理画素データとして得るディザ処理回路と、前記ディザ処理画素データを第1変換テーブル又は第2変換テーブルに基づいて変換して偽輪郭補正画素データを得る偽輪郭補正データ変換回路と、前記偽輪郭補正画素データに基づいて前記自発光表示器における各画素の発光駆動を行う駆動手段とを有し、前記ディザ処理回路は、各画素に対応する前記画素データに加算すべき前記ディザ係数の各々を前記映像信号のフィールド毎に変更する。

【0012】

【発明の実施の形態】以下、本発明の実施例を図2以下の図面を参照しつつ説明する。図2は、本発明による駆動装置を備えたプラズマディスプレイ装置の概略構成を示す図である。図2において、A/D変換器1は、入力された映像信号を、制御回路2から供給されてくる周波数:  $f_s$ なる第1クロック信号CK1に応じてサンプリングすることにより、1画素毎に対応したNビットの画素データDを得て、これを順次、画像データ処理回路3に供給する。

【0013】画像データ処理回路3は、制御回路2から供給されてくる周波数:( $2 \cdot f_s$ )なる第2クロック信号CK2、水平・垂直同期信号、及び選択信号に応じてデータ処理を遂行するディザ処理回路31及び偽輪郭補正データ変換回路32から構成されている。これらディザ処理回路31及び偽輪郭補正データ変換回路32は、上記画素データDに対して後述する処理を施すことにより、画素データのビット数を減らして疑似中間表示を実現し、かつ、偽輪郭を補償した画素データを生成し、これをフレームメモリ4に供給する。

【0014】フレームメモリ4は、上記制御回路2から供給されてくる第2クロック信号CK2のタイミング毎に、かかる画像データ処理回路3から出力されてくる画素データを順次書き込む。更に、フレームメモリ4は、この書き込まれた画素データを第2クロック信号CK2のタイミングに応じて読み出し、これを画素駆動データとして列電極ドライバ6に供給する。

【0015】制御回路2は、上述した如き第1クロック信号CK1及び第2クロック信号CK2を発生する。更に、かかる第1クロック信号CK1の1周期毎に論理値「1」及び「0」状態を繰り返す選択信号を生成しこれを上記偽輪郭補正データ変換回路32に供給する。更に、制御回路2は、入力された映像信号から水平及び垂直同期信号を抽出し、これを上記ディザ処理回路31に供給する。更に、制御回路2は、上記水平及び垂直同期信号に応じたリセットタイミング信号、走査タイミング信号、維持タイミング信号、及び消去タイミング信号を発生して行電極ドライバ5に供給する。

【0016】行電極ドライバ5は、これら各種のタイミング信号に応じて、残留電荷量を初期化するためのリセットパルス、画素データを書き込むための走査パルス、放電発光状態を維持するための維持パルス、放電発光を停止させるための消去パルスを発生し、これらをPDP(プラズマディスプレイパネル)10の行電極対20, ～行電極対20, に印加する。この際、上記走査パルスは、順次走査にて行電極対20, から20, へと印加されて行く。

【0017】列電極ドライバ6は、上記フレームメモリ4から読み出されてくる1フレーム分の画素駆動データを同一重み付け桁のビット毎に分離し、そのビットの論理値「1」及び「0」夫々に対応した電圧値を有する画素データパルスを発生してPDP10の列電極30, ～30, に印加する。PDP10は、列電極ドライバ6から画素データパルスが印加されている間に行電極ドライバ5から走査パルスが印加されると、この印加された画素データパルスに対応した電荷がPDP10に書き込まれる。この際、例えば論理「1」に対応した画素データパルスが印加された列電極と、走査パルスが印加された行電極との交差部に発光が生じる。

【0018】尚、かかる交差部の各々が、図3に示され

るが如きPDP10の画面上における画素 $G_{11} \sim G_{n1}$ 夫々に相当する。その後、行電極ドライバ5から維持パルスが印加されると、この維持パルスが印加されるパルス数に応じた時間だけ上記の発光状態が維持される。視覚上においては、かかる発光状態が維持されている時間に応じた輝度が感じられる。

【0019】次に、上記画像データ処理回路3の動作について、図4～図7に示される内部動作波形を参照しつつ説明する。図8は、かかる画像データ処理回路3におけるディザ処理回路31の内部構成を示す図である。図8において、映像信号に対応した各画素毎のNビット画素データDは、第1クロック信号CK1毎に順次、加算器320に供給される。この際、かかる映像信号は飛越走査にて生成されたものである。従って、図3に示されるPDP10の画素群の内、先ず、奇数行の画素群に対応した画素データが供給され、その後、偶数行の画素群に対応した画素データが供給される。

【0020】例えば、図4に示されるように、図3の第1行目の画素 $G_{11} \sim G_{1n}$ 夫々に対応した画素データ $D_{11} \sim D_{1n}$ が供給された後には、次の奇数行である第3行目の画素 $G_{31} \sim G_{3n}$ 夫々に対応した画素データ $D_{31} \sim D_{3n}$ が供給されるのである。同様にして順次、奇数行に対応した画素データが供給される(第1フィールド)。かかる第1フィールドにて、最終奇数行の画素 $G_{n1} \sim G_{nn}$ 夫々に対応した画素データ $D_{n1} \sim D_{nn}$ が供給されると、次に、図5に示されるが如く、最初の偶数行である画素 $G_{21} \sim G_{2n}$ 夫々に対応した画素データ $D_{21} \sim D_{2n}$ が供給され、順次、偶数行に対応した画素データが供給される(第2フィールド)。

かかる第2フィールドにて、最終偶数行に対応した画素データ $D_{(n-1)1} \sim D_{(n-1)n}$ が供給されると、再び奇数行に対応した画素データが供給され(第3フィールド)、次に、偶数行に対応した画素データが供給されるのである(第4フィールド)。

【0021】ディザ発生回路310は、図4に示されるが如き第1フィールドにおいては、第2クロック信号CK2毎にディザ係数a、ディザ係数c、ディザ係数b、ディザ係数dを循環して繰り返し発生し、これを加算器320に供給する。又、ディザ発生回路310は、次の第2フィールド及びその次の第3フィールドにおいては、図5及び図6に示されるように、ディザ係数d、ディザ係数b、ディザ係数c、ディザ係数aを循環して繰り返し発生し、これを加算器320に供給する。又、ディザ発生回路310は、図7に示されるが如き、第4フィールドにおいては、第2クロック信号CK2毎にディザ係数a、ディザ係数c、ディザ係数b、ディザ係数dを循環して繰り返し発生し、これを加算器320に供給する。

【0022】ディザ発生回路310は、上述した如き第1フィールド～第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドにおいてのディザ

係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。加算器320は、A/D変換器1から順次供給されてくる画素データDに、上述の如きディザ係数を図4～図7に示されるように逐次加算し、この際得られたディザ加算画素データを上位ビット抽出回路330に供給する。

【0023】すなわち、一つの画素データに対して2つの異なるディザ係数が夫々加算され、新たに2つのディザ加算画素データが生成されるのである。上位ビット抽出回路330は、かかるディザ加算画素データの上位Mビット分までを抽出し、これをディザ処理画素データZとして、後段の偽輪郭補正データ変換回路32に供給する。

【0024】図9は、かかる偽輪郭補正データ変換回路32の内部構成を示す図である。図9において、第1変換回路321は、上記ディザ処理回路31から供給されてくる例えば6ビットのディザ処理画素データZを、図10及び図11に示されるが如き第1モード変換テーブルに基づいて8ビットの画素データに変換し、これを偽輪郭補正画素データAZとしてセレクタ322に供給する。一方、第2変換回路323は、上記ディザ処理回路31から供給されてくる例えば6ビットのディザ処理画素データZを、図10及び図11に示されるが如き第2モード変換テーブルに基づいて8ビットの画素データに変換し、これを偽輪郭補正画素データBZとしてセレクタ322に供給する。

【0025】尚、かかる図10及び図11に示される偽輪郭補正画素データAZ(BZ)の各ビットにおける論理値「0」は非発光、論理値「1」は発光を指定するものであり、その1フレーム期間中における発光期間は、図12の発光期間フォーマットに従っている。例えば、かかる偽輪郭補正画素データAZのビット7は、図12のサブフレームSF4での発光に対応しており、その論理値が「1」である場合に、期間"8"だけ発光を行う。又、ビット6は、サブフレームSF6での発光に対応しており、その論理値が「1」である場合に、期間"1"だけ発光を行う。又、ビット5は、サブフレームSF2での発光に対応しており、その論理値が「1」である場合に、期間"2"だけ発光を行う。又、ビット4は、サブフレームSF5での発光に対応しており、その論理値が「1」である場合に、期間"8"だけ発光を行う。又、ビット3は、サブフレームSF3での発光に対応しており、その論理値が「1」である場合に、期間"4"だけ発光を行う。又、ビット2は、サブフレームSF1での発光に対応しており、その論理値が「1」である場合に、期間"1"だけ発光を行う。又、ビット1は、サブフレームSF6での発光に対応しており、その論理値が「1」である場合に、期間"16"だけ発光を行う。更に、ビット0は、サブフレームSF5での発光に対応しており、その論理値が「1」である場合に、期間"8"

だけ発光を行う。かかるSF1～SF6による発光期間の総和が輝度レベルに相当するのである。

【0026】この際、重み付けの重いサブフレームであるサブフレームSF6(発光期間"32"に相当)については、各々が発光期間"16"であるサブフレームSF6,及びSF6,に分割して配置する。更に、重み付けの重いサブフレームであるサブフレームSF5(発光期間"16"に相当)については、各々が発光期間"8"であるサブフレームSF5,及びSF5,に分割して配置する。ここで、1フレーム期間内の総発光期間が等しく、かつ発光期間が等しいサブフレームでの発光実施位置が互いに異なる2つの変換パターンを、第1モード変換テーブル及び第2モード変換テーブルにて用意して偽輪郭の低減を計るのである。

【0027】例えば、図10及び図11において、輝度レベル16に相当する偽輪郭補正画素データAZによれば、図12に示されるサブフレームSF4及びSF5,の位置で夫々期間"8"の発光が実施されるが、輝度レベル16に相当する偽輪郭補正画素データBZでは、サブフレームSF5,及びSF5,の位置で夫々期間"8"の発光が実施されるのである。

【0028】このように、輝度レベルが同一であっても、隣接する画素間において、1フレーム期間中にて発光を生じさせる位置をずらすことにより、偽輪郭を低減するのである。尚、上記第1変換回路321及び第2変換回路323によるデータ変換は、上記第2クロック信号CK2に同期して実行される。セレクタ322は、かかる第1変換回路321から供給された偽輪郭補正画素データAZ,及び第2変換回路323から供給された偽輪郭補正画素データBZの内、制御回路2から供給された選択信号の信号論理値に応じた方を選択して出力する。

【0029】図4～図7においては、選択信号の信号論理値が「0」である場合には、第1変換回路321からの偽輪郭補正画素データAZを選択して出力する一方、選択信号の信号論理値が「1」である場合には、第2変換回路323からの偽輪郭補正画素データBZを選択して出力する。画像データ処理回路3は、図4～図7に示されるように、一つの画素データDに対して2つの異なる画素データ処理を行うことにより、ディザ処理及び偽輪郭補償の為された画像処理画素データを生成すると共に、その供給された画素データのフィールドとは異なる他のフィールドに対応した補間画素データを生成する。すなわち、上記第1及び第3フィールドの如き奇数フィールドにおいては、供給された奇数フィールドに対応した画素データに基づいて、上述した如き画素データ処理を施すことにより、偶数フィールドに対応した画素データを補間生成するのである。一方、上記第2及び第4フィールドの如き偶数フィールドにおいては、供給された偶数フィールドに対応した画素データに基づいて、上述

した如き画素データ処理を施すことにより、奇数フィールドに対応した画素データを補間生成るのである。

【0030】例えば、図4に示されるが如き第1フィールドにおいては、第1行第1列の画素データD<sub>1,1</sub>に対し、異なる2つのディザ処理及び偽輪郭補償を実施することによりこの第1行第1列の画素に対応した画像処理画素データとして偽輪郭補正画素データAZ(D<sub>1,1</sub>+a)を生成すると共に、第2行第1列に対応した補間画素データとして偽輪郭補正画素データBZ(D<sub>1,1</sub>+c)を生成する。又、第1行第2列の画素データD<sub>1,2</sub>に対し、異なる2つのディザ処理及び偽輪郭補償を実施することによりこの第1行第2列の画素に対応した画像処理画素データとして偽輪郭補正画素データBZ(D<sub>1,2</sub>+b)を生成すると共に、第2行第2列に対応した補間画素データとして偽輪郭補正画素データAZ(D<sub>1,2</sub>+d)を生成する。

【0031】フレームメモリ4は、これら画像処理画素データ及び補間画素データを、図3に示されるが如きPDP10における画面上の第1行～第n行各々に対応させて順次書き込む。ここで、かかる第n行までの画素データ、すなわち画面1フレーム分の画素データを書き込んだら、フレームメモリ4は、この書き込んだ画素データを、第1行に対応するものから順に読み出しこれを画素駆動データとして列電極ドライバ6に供給する。

【0032】かかる図4に示されるが如き第1フィールドの動作により、例えば、図13(a)に示されるように、第1行第1列の画素G<sub>1,1</sub>では偽輪郭補正画素データAZ(D<sub>1,1</sub>+a)に基づいた発光、第1行第2列の画素G<sub>1,2</sub>では偽輪郭補正画素データBZ(D<sub>1,2</sub>+b)に基づいた発光、第2行第1列の画素G<sub>2,1</sub>では偽輪郭補正画素データBZ(D<sub>2,1</sub>+c)に基づいた発光、第2行第2列の画素G<sub>2,2</sub>では偽輪郭補正画素データAZ(D<sub>2,2</sub>+d)に基づいた発光が夫々生じるのである。

【0033】次に、画像データ処理回路3は、図5に示されるが如き第2フィールドにおいて、第2行第1列の画素データD<sub>2,1</sub>に基づいて、この第2行第1列の画素に対応した画像処理画素データとして偽輪郭補正画素データAZ(D<sub>2,1</sub>+d)を生成すると共に、第1行第1列に対応した補間画素データとして偽輪郭補正画素データBZ(D<sub>2,1</sub>+b)を生成する。又、第2行第2列の画素データD<sub>2,2</sub>に基づいて、この第2行第2列の画素に対応した画像処理画素データとして偽輪郭補正画素データBZ(D<sub>2,2</sub>+c)を生成すると共に、第1行第2列に対応した補間画素データとして偽輪郭補正画素データAZ(D<sub>2,2</sub>+a)を生成するのである。

【0034】フレームメモリ4は、これら画像処理画素データ及び補間画素データを、図3に示されるが如きPDP10における画面上の第1行～第n行各々に対応させて順次書き込む。ここで、かかる第n行までの画素データ、すなわち画面1フレーム分の画素データを書き込

んなら、フレームメモリ4は、この書き込んだ画素データを、第1行に対応するものから順に読み出しこれを画素駆動データとして列電極ドライバ6に供給する。

【0035】かかる図5に示されるが如き第2フィールドの動作により、例えば、図13(b)に示されるように、第1行第1列の画素G<sub>1,1</sub>では偽輪郭補正画素データBZ(D<sub>1,1</sub>+b)に基づいた発光、第1行第2列の画素G<sub>1,2</sub>では偽輪郭補正画素データAZ(D<sub>1,2</sub>+a)に基づいた発光、第2行第1列の画素G<sub>2,1</sub>では偽輪郭補正画素データAZ(D<sub>2,1</sub>+d)に基づいた発光、第2行第2列の画素G<sub>2,2</sub>では偽輪郭補正画素データBZ(D<sub>2,2</sub>+c)に基づいた発光が夫々生じるのである。

【0036】次に、画像データ処理回路3は、図6に示されるが如き第3フィールドにおいて、第1行第1列の画素データD<sub>1,1</sub>に基づいて、この第1行第1列の画素に対応した画像処理画素データとして偽輪郭補正画素データAZ(D<sub>1,1</sub>+d)を生成すると共に、第2行第1列に対応した補間画素データとして偽輪郭補正画素データBZ(D<sub>1,1</sub>+b)を生成する。又、第1行第2列の画素データD<sub>1,2</sub>に基づいて、この第1行第2列の画素に対応した画像処理画素データとして偽輪郭補正画素データBZ(D<sub>1,2</sub>+c)を生成すると共に、第2行第2列に対応した補間画素データとして偽輪郭補正画素データAZ(D<sub>1,2</sub>+a)を生成する。

【0037】フレームメモリ4は、これら画像処理画素データ及び補間画素データを、図3に示されるが如きPDP10における画面上の第1行～第n行各々に対応させて順次書き込む。ここで、かかる第n行までの画素データ、すなわち画面1フレーム分の画素データを書き込んだら、フレームメモリ4は、この書き込んだ画素データを、第1行に対応するものから順に読み出しこれを画素駆動データとして列電極ドライバ6に供給する。

【0038】かかる図6に示されるが如き第3フィールドの動作により、例えば、図13(c)に示されるように、第1行第1列の画素G<sub>1,1</sub>では偽輪郭補正画素データAZ(D<sub>1,1</sub>+d)に基づいた発光、第1行第2列の画素G<sub>1,2</sub>では偽輪郭補正画素データBZ(D<sub>1,2</sub>+c)に基づいた発光、第2行第1列の画素G<sub>2,1</sub>では偽輪郭補正画素データBZ(D<sub>2,1</sub>+b)に基づいた発光、第2行第2列の画素G<sub>2,2</sub>では偽輪郭補正画素データAZ(D<sub>2,2</sub>+a)に基づいた発光が夫々生じるのである。

【0039】次に、画像データ処理回路3は、図7に示されるが如き第4フィールドにおいて、第2行第1列の画素データD<sub>1,1</sub>に基づいて、この第2行第1列の画素に対応した画像処理画素データとして偽輪郭補正画素データAZ(D<sub>1,1</sub>+a)を生成すると共に、第1行第1列に対応した補間画素データとして偽輪郭補正画素データBZ(D<sub>1,1</sub>+c)を生成する。又、第2行第2列の画素データD<sub>1,2</sub>に基づいて、この第2行第2列の画素に対応した画像処理画素データとして偽輪郭補正画素データBZ

(D<sub>1,2</sub>+b)を生成すると共に、第1行第2列に対応した補間画素データとして偽輪郭補正画素データAZ(D<sub>1,2</sub>+d)を生成するのである。

【0040】フレームメモリ4は、これら画像処理画素データ及び補間画素データを、図3に示されるが如きPDP10における画面上の第1行～第n行各々に対応させて順次書き込む。ここで、かかる第n行までの画素データ、すなわち画面1フレーム分の画素データを書き込んだら、フレームメモリ4は、この書き込んだ画素データを、第1行に対応するものから順に読み出しこれを画素駆動データとして列電極ドライバ6に供給する。

【0041】かかる図7に示されるが如き第4フィールドの動作により、例えば、図13(d)に示されるように、第1行第1列の画素G<sub>1,1</sub>では偽輪郭補正画素データBZ(D<sub>1,1</sub>+c)に基づいた発光、第1行第2列の画素G<sub>1,2</sub>では偽輪郭補正画素データAZ(D<sub>1,2</sub>+d)に基づいた発光、第2行第1列の画素G<sub>2,1</sub>では偽輪郭補正画素データAZ(D<sub>2,1</sub>+a)に基づいた発光、第2行第2列の画素G<sub>2,2</sub>では偽輪郭補正画素データBZ(D<sub>2,2</sub>+b)に基づいた発光が夫々生じるのである。

【0042】以上の如く、本発明による自発光表示器の駆動装置においては、上記図13に示されるように、各画素に対応した画素データに加算すべきディザ係数をフィールド毎に変更して行くようしている。例えば、図13に示されるように、画素G<sub>1,1</sub>に対応した画素データD<sub>1,1</sub>に加算すべきディザ係数は、

【数1】第1フィールド：ディザ係数a  
第2フィールド：ディザ係数b  
第3フィールド：ディザ係数d  
30 第4フィールド：ディザ係数c

の如く各フィールド毎に変更されるのである。

【0043】このように、加算すべきディザ係数をフィールド毎に変更して行くと、目の積分効果により、ディザのバターンノイズが低減されるのである。更に、本発明においては、この加算されるディザ係数と、偽輪郭補正データ変換回路32における変換動作とを対応させるようしている。例えば、図13においては、ディザ処理回路31によって画素データDにディザ係数aが加算された場合、又はディザ係数dが加算された場合には、偽輪郭補正データ変換回路32は、第1モード変換テーブルに基づいた変換動作を行って偽輪郭補正画素データAZを出力する。その一方、ディザ係数bが加算された場合、又はディザ係数cが加算された場合には、偽輪郭補正データ変換回路32は、第2モード変換テーブルに基づいた変換動作を行って偽輪郭補正画素データBZを出力するのである。

【0044】これは、加算すべきディザ係数をフィールド毎に変更した場合に生じるフリッカを防止するためである。すなわち、加算すべきディザ係数を図13に示されるが如くフィールド毎に変更した際に、この加算する

ディザ係数と、偽輪郭補正データ変換回路32での変換動作とを対応させていないと、各フィールド間での発光状態が不均一となり、フリッカが生じるのである。

【0045】例えば、図14に示されるように、第1フィールド～第4フィールドに亘って、画素データDにディザ係数aを加算して得られたディザ処理画素データZの値が“16”となり、その他のディザ係数b～dのいずれかを加算して得られたディザ処理画素データZの値が“15”となる場合を想定する。この際、第1フィールドにおける画素G<sub>11</sub>、第2フィールドにおける画素G<sub>21</sub>、第3フィールドにおける画素G<sub>31</sub>、及び第4フィールドにおける画素G<sub>41</sub>において、夫々、ディザ処理画素データZの値が“16”となる。

【0046】ここで、かかる“16”であるディザ処理画素データZの値を、第1フィールド及び第3フィールドでは図10に示される第1モード変換テーブルにて変換し、第2フィールド及び第4フィールドでは、第2モード変換テーブルにて変換する。よって、この際、以下の如き偽輪郭補正画素データが得られる。

【0047】  
 【数2】第1フィールド: {10010000}  
 第2フィールド: {00010001}  
 第3フィールド: {10010000}  
 第4フィールド: {00010001}

図15は、かかる偽輪郭補正画素データに基づいて生じる発光状態を示す図である。

【0048】図15においては、斜線部が発光状態を示し、空白部が非発光状態を示すものである。かかる図15に示されるが如く、第1フィールドと第2フィールドとの間には非発光となる状態が継続し、第2フィールドと第3フィールドとの間には発光状態が継続する。このように、各フィールド間で発光状態が不均一となるとフリッカが生じる場合がある。

【0049】本発明においては、加算するディザ係数と、偽輪郭補正データ変換回路32での変換動作とを対応させることにより、このフリッカを防止している。例えば、図13に示されるように、ディザ係数aを加算する場合、偽輪郭補正データ変換回路32は、第1フィールド～第4フィールドのいずれの状態においても第1モード変換テーブルにて変換を行うようにしている。

【0050】よって、この際、第1フィールド～第4フィールドのいずれにおいても、{10010000}なる偽輪郭補正画素データが得られる。図16は、かかる偽輪郭補正画素データに基づいて生じる発光状態を示す図である。図16に示されるが如く、本発明によれば各フィールド間での発光状態が均一となるので、上述した如きフリッカが生じないのである。

【0051】尚、上記実施例におけるディザ処理回路31は、加算すべきディザ係数を図13に示されるようにフィールド毎に変更しているが、かかる構成に限定され

るものではない。例えば、ディザ係数a～dを図17に示されるように各フィールド毎に変更するような構成であっても良い。この際、かかる図17に示される実施例においても、偽輪郭補正データ変換回路32は、上述した如きフリッカ防止の為に、ディザ処理回路31にて加算されたディザ係数に対応させて偽輪郭補正データ変換を行うようにしている。

【0052】

【発明の効果】上記したことから明らかに如く、本発明による駆動装置においては、自発光表示器の各画素に対応した画素データに対してディザ処理による疑似中間調表示、及び偽輪郭補正データ変換を行うにあたり、かかるディザ処理において加算すべきディザ係数をフィールド毎に変更する。更に、偽輪郭補正データ変換では、上記ディザ処理において加算されたディザ係数に対応した偽輪郭補正データ変換を行う構成にしている。

【0053】よって、本発明によれば、ディザバターンによるノイズを防止して高画像品質を維持しつつ、疑似中間調表示及び偽輪郭補正を実施することが可能となるのである。

【図面の簡単な説明】

【図1】画素毎に対応して加算されるディザ係数の状態を示す図である。

【図2】本発明による駆動装置を備えたプラズマディスプレイの概略構成を示す図である。

【図3】画面上における各画素の位置を示す図である。

【図4】第1フィールドにおける画像データ処理回路3の内部動作波形を示す図である。

【図5】第2フィールドにおける画像データ処理回路3の内部動作波形を示す図である。

【図6】第3フィールドにおける画像データ処理回路3の内部動作波形を示す図である。

【図7】第4フィールドにおける画像データ処理回路3の内部動作波形を示す図である。

【図8】ディザ処理回路31の内部構成を示す図である。

【図9】偽輪郭補正データ変換回路32の内部構成を示す図である。

【図10】偽輪郭補正データ変換回路32における第1及び第2モード変換テーブルの一例を示す図である。

【図11】偽輪郭補正データ変換回路32における第1及び第2モード変換テーブルの一例を示す図である。

【図12】サブフレームによる発光期間フォーマットを示す図である。

【図13】本発明による画像データ処理回路3にて生成される偽輪郭補正画素データの一例と各画素との対応を示す図である。

【図14】フリッカが発生する際の動作を説明する為の図である。

【図15】フリッカ発生時の発光状態の一例を示す図で

ある。

【図16】本発明による発光状態の一例を示す図である。

【図17】本発明による画像データ処理回路3にて生成される偽輪郭補正画素データの他の例と、各画素との対応を示す図である。

【主要部分の符号の説明】

\* 1 A/D変換器

2 制御回路

3 画像データ処理回路

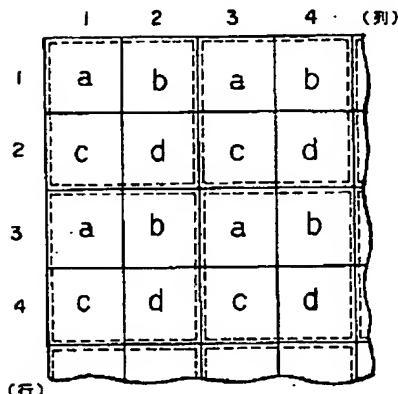
4 フレームメモリ

31 ディザ処理回路

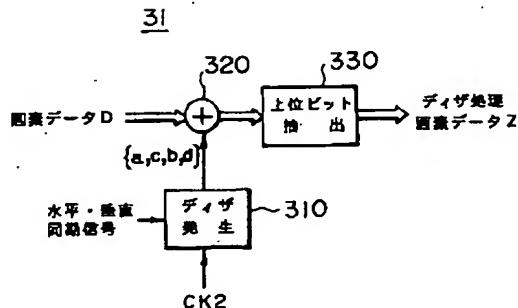
32 偽輪郭補正データ変換回路

\*

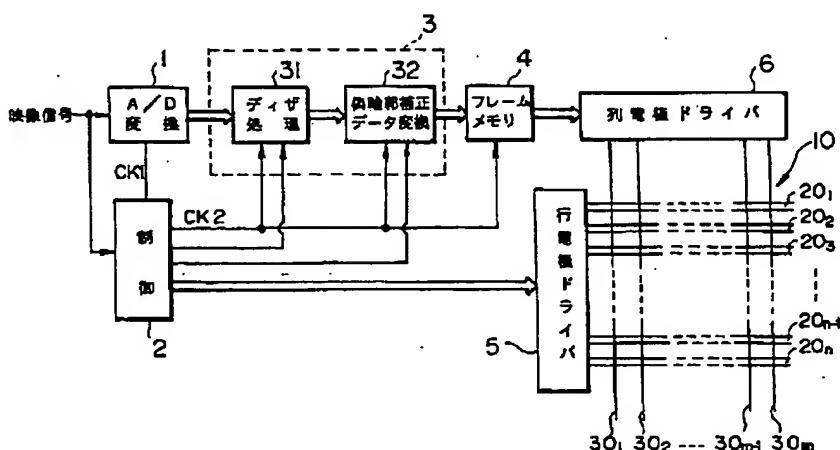
【図1】



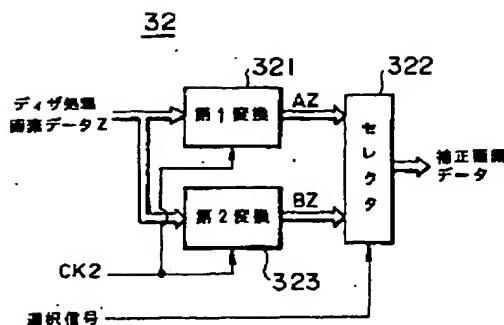
【図8】



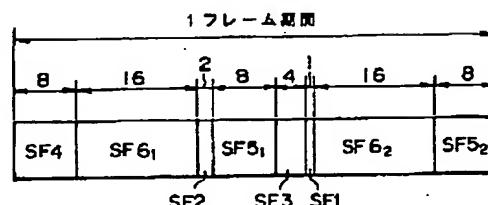
【図2】



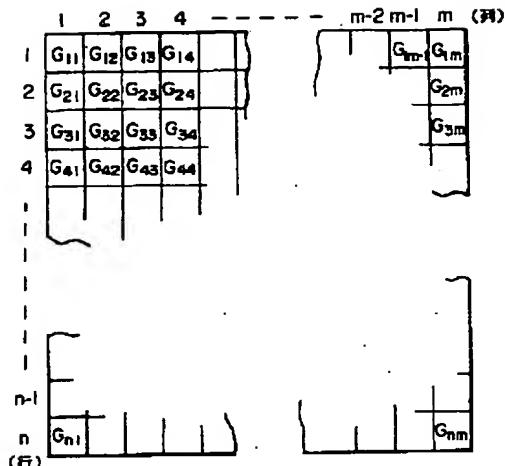
【図9】



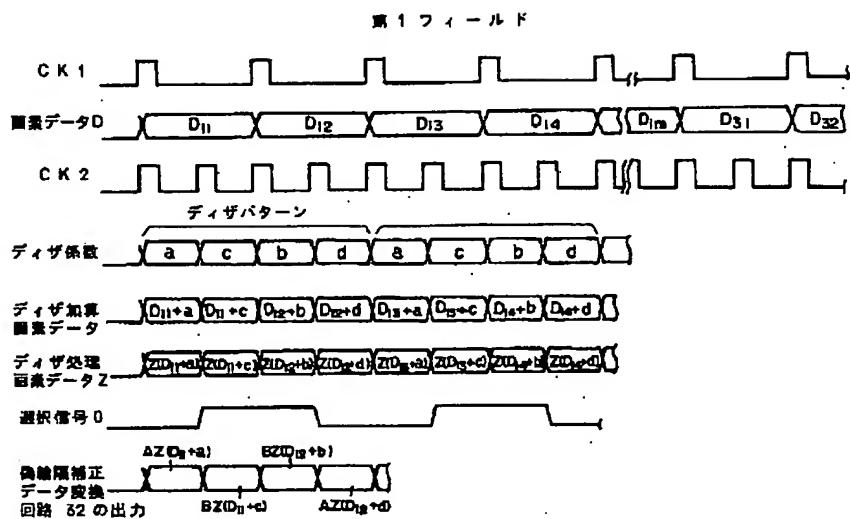
【図12】



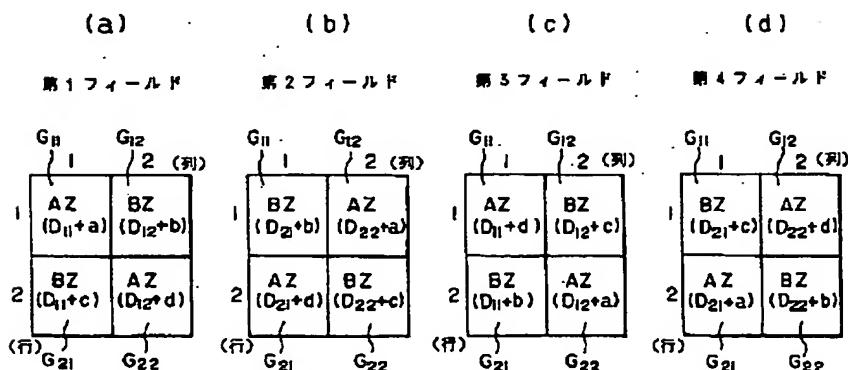
[図3]



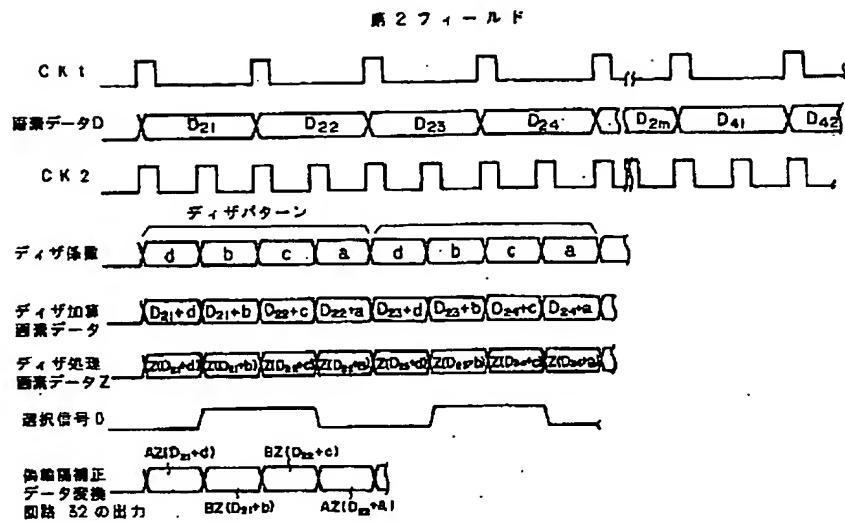
[図4]



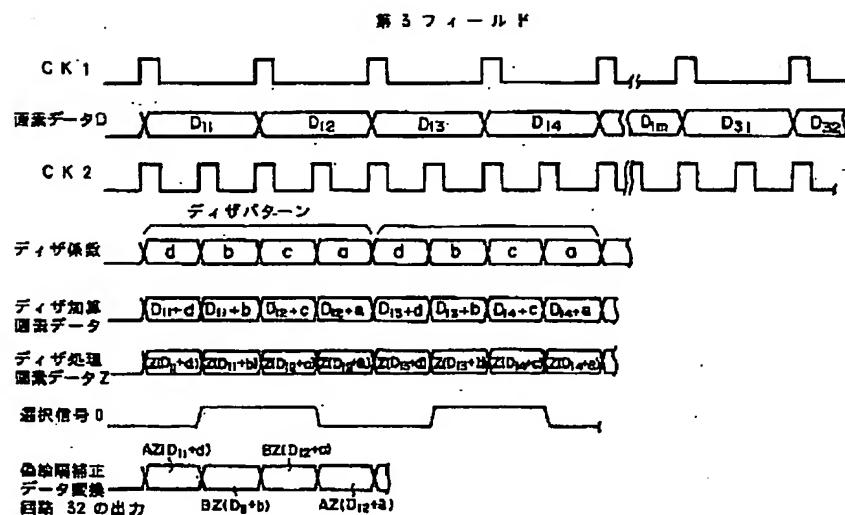
[図13]



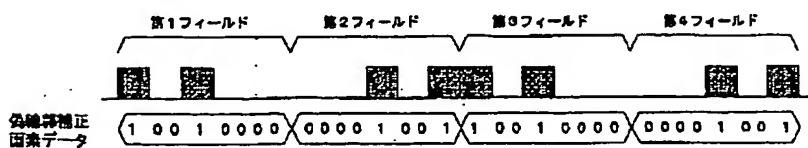
【図5】



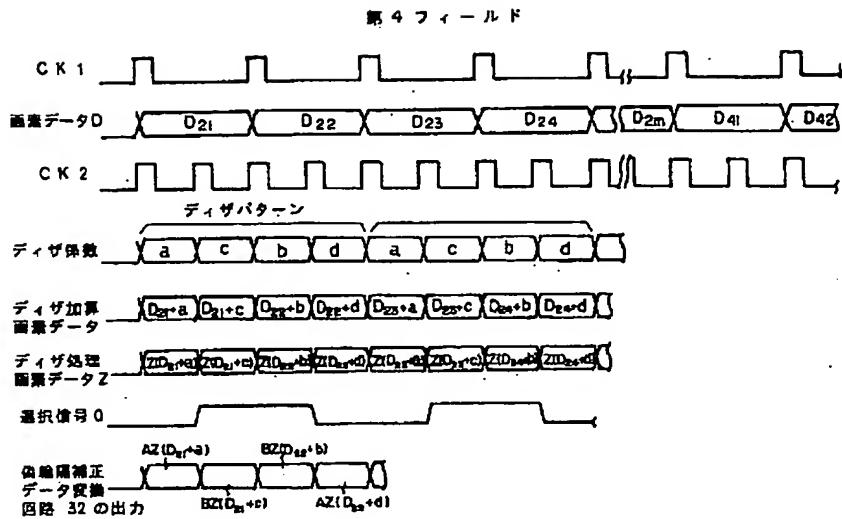
【図6】



【図15】



【図7】



【図10】

解度 レベル	ディザ処理 面素データZ	第1変換テーブル		第2変換テーブル	
		ビット 5 ~ 0	AZビット 7 ~ 0	BZビット 7 ~ 0	AZビット 7 ~ 0
0	000000	00000000	00000000	00000000	00010001
1	000001	00000100	00000100	00000100	00010101
2	000010	00100000	00100000	00100000	00110010
3	000011	00100100	00100100	00100100	00110110
4	000100	00001000	00001000	00001000	00011010
5	000101	00001100	00001100	00001100	00011101
6	000110	00101000	00101000	00101000	00011110
7	000111	00101100	00101100	00101100	00111001
8	001000	00010000	00010000	00010000	00111101
9	001001	00010100	00010100	00010100	01010010
10	001010	00110000	00110000	00110000	01010100
11	001011	00110100	00110100	00110100	01010110
12	001100	00011000	00011000	00011000	01011010
13	001101	00011100	00011100	00011100	01011110
14	001110	00111000	00111000	00111000	01011110
15	001111	00111100	00111100	00111100	01111110
16	010000	10010000	00010001	00010001	01010011
17	010001	10010100	00010101	00010101	01010110
18	010010	10110000	00110001	00110001	01011110
19	010011	10110100	00110101	00110101	01011110
20	010100	10011000	00011001	00011001	01011110
21	010101	10011100	00011101	00011101	01011111
22	010110	10111000	00111001	00111001	01111011
23	010111	10111100	00111101	00111101	01111111
24	011000	10010001	10010001	10010001	01110011
25	011001	10010101	10010101	10010101	01110111
26	011010	10110001	10110001	10110001	01111011
27	011011	10110101	10110101	10110101	01111111
28	011100	10011001	10011001	10011001	11011011
29	011101	10011101	10011101	10011101	11011111
30	011110	10111001	10111001	10111001	11110111
31	011111	10111101	10111101	10111101	11111111

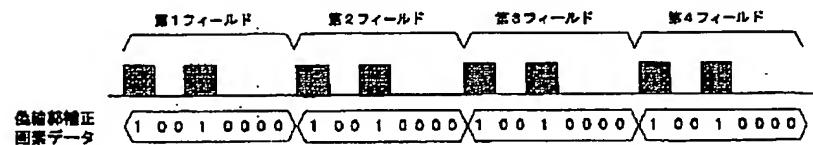
【図11】

解度 レベル	ディザ処理 面素データZ	第1変換テーブル		第2変換テーブル	
		ビット 5 ~ 0	AZビット 7 ~ 0	BZビット 7 ~ 0	AZビット 7 ~ 0
32	100000	01010001	10010010	01010001	10010010
33	100001	01010101	10010110	01010101	10010110
34	100010	01110001	10110010	01110001	10110010
35	100011	01110101	10110110	01110101	10110110
36	100100	01011001	10011010	01011001	10011010
37	100101	01011101	10011110	01011101	10011110
38	100110	01111001	10111010	01111001	10111010
39	100111	01111101	10111110	01111101	10111110
40	101000	01010010	01010010	01010010	01010010
41	101001	01010110	01010110	01010110	01010110
42	101010	01110010	01110010	01110010	01110010
43	101011	01110110	01110110	01110110	01110110
44	101100	01011010	01011010	01011010	01011010
45	101101	01011110	01011110	01011110	01011110
46	101110	01111010	01111010	01111010	01111010
47	101111	01111110	01111110	01111110	01111110
48	110000	11010010	01010011	11010010	01010011
49	110001	11010110	01010111	11010110	01010111
50	110010	11110010	01110010	11110010	01110010
51	110011	11110110	01110110	11110110	01110110
52	110100	11011010	01011010	11011010	01011010
53	110101	11011110	01011110	11011110	01011110
54	110110	11111010	01111010	11111010	01111010
55	110111	11111110	01111110	11111110	01111110
56	111000	11010011	01010011	11010011	01010011
57	111001	11010111	01010111	11010111	01010111
58	111010	11110011	01110011	11110011	01110011
59	111011	11110111	01110111	11110111	01110111
60	111100	11011011	01011011	11011011	01011011
61	111101	11011111	01011111	11011111	01011111
62	111110	11110011	01110011	11110011	01110011
63	111111	11110111	01110111	11110111	01110111

【図14】

(a)	(b)	(c)	(d)
第1フィールド	第2フィールド	第3フィールド	第4フィールド
$G_{11}$	$G_{12}$	$G_{11}$	$G_{11}$
$Z(D_{11}+a) = 16$	$Z(D_{12}+b) = 15$	$Z(D_{21}+b) = 15$	$Z(D_{21}+c) = 15$
$Z(D_{11}+c) = 15$	$Z(D_{12}+d) = 15$	$Z(D_{21}+d) = 15$	$Z(D_{21}+a) = 16$
$G_{21}$	$G_{22}$	$G_{21}$	$G_{21}$
$Z(D_{22}+a) = 15$	$Z(D_{22}+c) = 15$	$Z(D_{12}+c) = 15$	$Z(D_{22}+b) = 15$
$Z(D_{22}+b) = 15$	$Z(D_{22}+d) = 15$	$Z(D_{12}+d) = 15$	$Z(D_{22}+d) = 15$
$G_{22}$	$G_{21}$	$G_{22}$	$G_{22}$

【図16】



【図17】

(a)	(b)	(c)	(d)
第1フィールド	第2フィールド	第3フィールド	第4フィールド
$G_{11}$	$G_{12}$	$G_{11}$	$G_{11}$
1 AZ ( $D_{11}+a$ )	2 BZ ( $D_{12}+b$ )	1 AZ ( $D_{21}+d$ )	1 BZ ( $D_{21}+c$ )
2 BZ ( $D_{11}+c$ )	1 AZ ( $D_{12}+d$ )	2 BZ ( $D_{21}+b$ )	2 AZ ( $D_{21}+a$ )
(行) $G_{21}$	$G_{22}$	(行) $G_{21}$	(行) $G_{21}$
2 BZ ( $D_{12}+d$ )	1 AZ ( $D_{22}+c$ )	1 AZ ( $D_{12}+a$ )	1 BZ ( $D_{22}+b$ )
(行) $G_{22}$	$G_{21}$	$G_{22}$	$G_{22}$